TXS0104E 适用于开漏和推挽应用的 4 位双向电压电平转换器

1 特性

- 无需方向控制信号
- 最大数据速率：
  - 24Mbps（推挽）
  - 2Mbps（开漏）
- 采用德州仪器 (TI) NanoFree™ 封装
- A 端口支持 1.65V 至 3.6V 的电压，B 端口支持 2.3V 至 5.5V 的电压 ($V_{CCA} \leqslant V_{CCB}$)
- 无需电源时序控制 – V_{CCA} 或 V_{CCB} 均可优先斜升
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- 静电放电 (ESD) 保护性能超过 JESD 22 规范要求：
  - A 端口：
    - 2000V 人体放电模型 (A114-B)
    - 200V 机器放电模型 (A115-A)
    - 1000V 充电器件模型 (C101)
  - B 端口：
    - 15kV 人体放电模型 (A114-B)
    - 200V 机器放电模型 (A115-A)
    - 1000V 充电器件模型 (C101)
- IEC 61000-4-2 ESD（B 端口）：
  - ±8kV 接触放电
  - ±10kV 气隙放电

2 应用

- 手持终端
- 智能手机
- 平板电脑
- 台式机

3 说明

这个 4 位同相转换器使用两个独立的可配置电源轨。A 端口设计用于跟踪 V_{CCA}。V_{CCA} 支持从 1.65V 到 3.6V 范围内的任意电源电压。V_{CCA} 必须低于或等于 V_{CCB}。B 端口旨在用于跟踪 V_{CCB}。V_{CCB} 支持从 2.3V 到 5.5V 范围内的任意电源电压。这使得该器件可在 1.8V、2.5V、3.3V 和 5V 电压节点之间任意进行低压双向转换。

当输出使能端 (OE) 输入为低电平时，所有输出都被置于高阻抗状态。

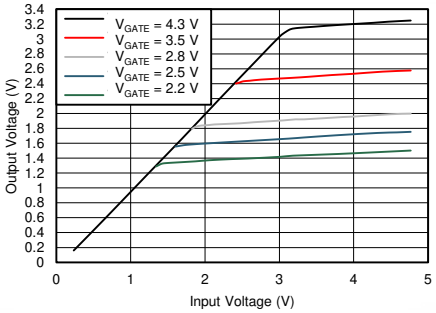
TXS0104E 旨在通过 V_{CCA} 为 OE 输入电路供电。

要在上电或断电期间处于高阻态，请将 OE 通过下拉电阻连接至 GND；该电阻的最小值取决于驱动器的拉电流能力。

封装信息

器件型号	封装(1)	封装尺寸(2)
TXS0104E	D（SOIC，14）	8.65mm x 6mm
	PW（TSSOP，14）	5mm × 6.4mm
	ZXU（BGA，12）	2mm × 2.5mm
	RGY（VQFN，14）	3.5mm x 3.5mm
	YZT（DSBGA，12）	2.25mm × 1.75mm
	NMN（nFBGA，12）	2mm × 2.5mm
	BQA（WQFN，12）	3mm × 2.5mm
	RUT（UQFN，12）	2.00mm × 1.70mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 x 宽）为标称值，并包括引脚（如适用）



N 沟道晶体管的传输特征

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....4
6 规格.....8
6.1 绝对最大额定值.....8
6.2 ESD 等级.....8
6.3 建议运行条件.....9
6.4 热性能信息：ZXU、YZT 和 NMN.....9
6.5 热性能信息：D、PW 和 RGY.....10
6.6 电气特性.....10
6.7 时序要求：V_{CCA} = 1.8V ± 0.15V.....11
6.8 时序要求：V_{CCA} = 2.5V ± 0.2V.....11
6.9 时序要求：V_{CCA} = 3.3V ± 0.3V.....11
6.10 开关特性：V_{CCA} = 1.8V ± 0.15V.....12
6.11 开关特性：V_{CCA} = 2.5V ± 0.2V.....14
6.12 开关特性：V_{CCA} = 3.3V ± 0.3V.....16
6.13 典型特性.....17
7 参数测量信息.....18
7.1 负载电路.....18
7.2 电压波形.....19
8 详细说明.....20
8.1 概述.....20
8.2 功能方框图.....20
8.3 特性说明.....21
8.4 器件功能模式.....21
9 应用和实施.....22
9.1 应用信息.....22
9.2 典型应用.....22
9.3 电源相关建议.....24
9.4 布局.....24
10 器件和文档支持.....25
10.1 文档支持.....25
10.2 接收文档更新通知.....25
10.3 支持资源.....25
10.4 商标.....25
10.5 静电放电警告.....25
10.6 术语表.....25
11 机械、封装和可订购信息.....25

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision J (August 2023) to Revision K (October 2023) — **Page**

- 添加了 *RUT* 封装.....1

Changes from Revision I (October 2020) to Revision J (August 2023) — **Page**

- 更新了*封装信息* 表以包含封装引线尺寸.....1
- 添加了 *BQA* 封装.....1

Changes from Revision H (May 2018) to Revision I (October 2020) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1
- 添加了 NMN 封装 12 引脚 nFBGA.....4

Changes from Revision G (September 2017) to Revision H (May 2018) — **Page**

- 更改了*开关特性：V_{CCA} = 3.3V ± 0.3V* 表中最大数据速率的最大值.....16

Changes from Revision F (December 2014) to Revision G (September 2017) — **Page**

- 更改了“器件信息”表.....1
- 通篇删除了 GXU 引用.....4
- 在*绝对最大额定值* 中添加了结温.....8
- 重新编排了*电气特性* 10
- 添加了*接收文档更新通知和社区资源* 25
- 将*电压转换基础知识* 添加到“相关文档”.....25

Changes from Revision E (August 2013) to Revision F (December 2014) — **Page**

- 添加了*引脚配置和功能* 部分、*处理等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分.....1

Copyright © 2023 Texas Instruments Incorporated

- 从“绝对最大额定值”表中删除了封装热阻信息，并将其添加到“热性能信息”表中将 T_{stg} 行移到了新的“处理额定值”表中.....8
- 将第一个开关特性表中最后 2 行的“最小值最大值”中的最大值 24 和最大值 2 更改到最小值列.....12

Changes from Revision D (May 2008) to Revision E (August 2013) **Page**

- 删除了订购表.....1

5 引脚配置和功能

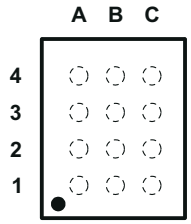


图 5-1. ZXU 封装 12 引脚 MICROSTAR JUNIOR（顶视图）

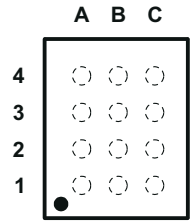


图 5-2. NMN 封装，12 引脚 nFBGA（顶视图）

表 5-1. 引脚功能：ZXU/ NMN

引脚		类型[(1)]	说明
编号	名称		
A1	A1	I/O	输入/输出 A1。以 V_{CCA} 为基准。
A2	A2	I/O	输入/输出 A2。以 V_{CCA} 为基准。
A3	A3	I/O	输入/输出 A3。以 V_{CCA} 为基准。
A4	A4	I/O	输入/输出 A4。以 V_{CCA} 为基准。
C1	B1	I/O	输入/输出 B1。以 V_{CCB} 为基准。
C2	B2	I/O	输入/输出 B2。以 V_{CCB} 为基准。
C3	B3	I/O	输入/输出 B3。以 V_{CCB} 为基准。
C4	B4	I/O	输入/输出 B4。以 V_{CCB} 为基准。
B4	GND	—	接地
B3	OE	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
B2	V_{CCA}	—	A 端口电源电压。1.65V ≤ V_{CCA} ≤ 3.6V，并且 V_{CCA} ≤ V_{CCB}。
B1	V_{CCB}	—	B 端口电源。2.3V ≤ V_{CCB} ≤ 5.5V。

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

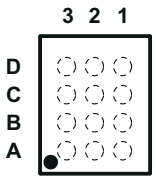
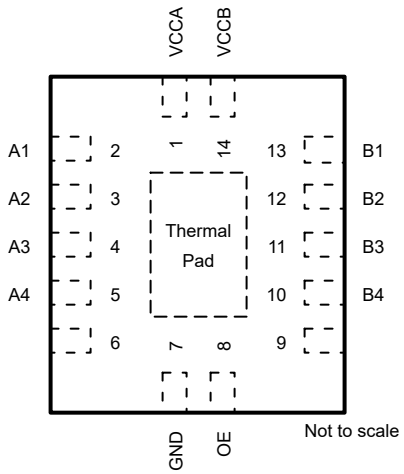


图 5-3. YZT 封装，12 引脚 DSBGA（顶视图）

表 5-2. 引脚功能：DSBGA

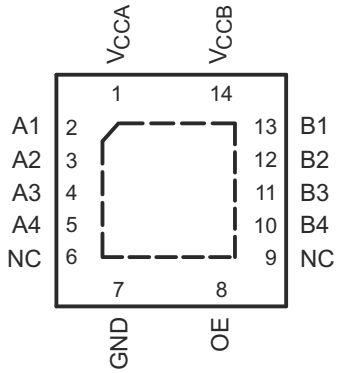
引脚		类型[(1)]	说明
编号	名称		
A3	A1	I/O	输入/输出 A1。以 V_{CCA} 为基准。
B3	A2	I/O	输入/输出 A2。以 V_{CCA} 为基准。
C3	A3	I/O	输入/输出 A3。以 V_{CCA} 为基准。
D3	A4	I/O	输入/输出 A4。以 V_{CCA} 为基准。
A1	B1	I/O	输入/输出 B1。以 V_{CCB} 为基准。
B1	B2	I/O	输入/输出 B2。以 V_{CCB} 为基准。
C1	B3	I/O	输入/输出 B3。以 V_{CCB} 为基准。
D1	B4	I/O	输入/输出 B4。以 V_{CCB} 为基准。
D2	GND	—	接地
C2	OE	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
B2	V_{CCA}	—	A 端口电源电压。1.65V ≤ V_{CCA} ≤ 3.6V，并且 V_{CCA} ≤ V_{CCB}。
A2	V_{CCB}	—	B 端口电源。2.3V ≤ V_{CCB} ≤ 5.5V。

(1) I = 输入，O = 输出



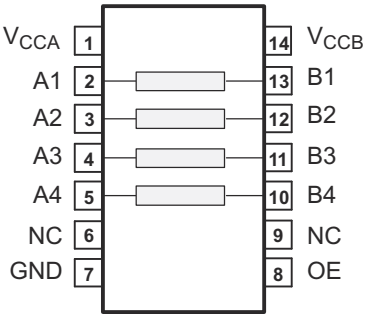
NC - 无内部连接

图 5-4. BQA 封装， 14 引脚 WQFN （顶视图）



NC - 无内部连接

图 5-5. RGY 封装， 14 引脚 VQFN （顶视图）



NC - 无内部连接

图 5-6. D 和 PW 封装， 14 引脚 SOIC 和 TSSOP （顶视图）

表 5-3. 引脚功能：D、PW 或 RGY

引脚		类型[(1)]	说明
名称	编号		
A1	2	I/O	输入/输出 A1。以 V_{CCA} 为基准。
A2	3	I/O	输入/输出 A2。以 V_{CCA} 为基准。
A3	4	I/O	输入/输出 A3。以 V_{CCA} 为基准。
A4	5	I/O	输入/输出 A4。以 V_{CCA} 为基准。
B1	13	I/O	输入/输出 B1。以 V_{CCB} 为基准。
B2	12	I/O	输入/输出 B2。以 V_{CCB} 为基准。
B3	11	I/O	输入/输出 B3。以 V_{CCB} 为基准。
B4	10	I/O	输入/输出 B4。以 V_{CCB} 为基准。
GND	7	—	接地
OE	8	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
V_{CCA}	1	—	A 端口电源电压。1.65V ≤ V_{CCA} ≤ 3.6V，并且 V_{CCA} ≤ V_{CCB}。
V_{CCB}	14	—	B 端口电源。2.3V ≤ V_{CCB} ≤ 5.5V
散热焊盘		—	对于 RGY 封装，外露的中心散热焊盘必须接地

Copyright © 2023 Texas Instruments Incorporated

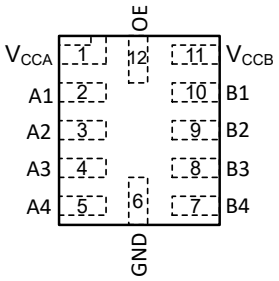


图 5-7. RUT 封装，12 引脚 UQFN（透明顶视图）

表 5-4. 引脚功能：RUT

引脚		类型[(1)]	说明
名称	编号		
A1	2	I/O	输入/输出 A1。以 V_{CCA} 为基准。
A2	3	I/O	输入/输出 A2。以 V_{CCA} 为基准。
A3	4	I/O	输入/输出 A3。以 V_{CCA} 为基准。
A4	5	I/O	输入/输出 A4。以 V_{CCA} 为基准。
B1	10	I/O	输入/输出 B1。以 V_{CCB} 为基准。
B2	9	I/O	输入/输出 B2。以 V_{CCB} 为基准。
B3	8	I/O	输入/输出 B3。以 V_{CCB} 为基准。
B4	7	I/O	输入/输出 B4。以 V_{CCB} 为基准。
GND	6	—	接地
OE	12	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
V_{CCA}	1	—	A 端口电源电压。1.65V ≤ V_{CCA} ≤ 3.6V，并且 V_{CCA} ≤ V_{CCB}。
V_{CCB}	11	—	A 端口电源电压。1.65V ≤ V_{CCA} ≤ 3.6V，并且 V_{CCA} ≤ V_{CCB}。

(1) I = 输入，O = 输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压，V_{CCA}		–0.5	4.6	V
电源电压，V_{CCB}		-0.5	6.5	V
输入电压，V_I [(2)]	A 端口	-0.5	4.6	V
	B 端口	–0.5	6.5	
应用到任一处于高阻抗或断电状态输出的电压范围，V_O [(2)]	A 端口	-0.5	4.6	V
	B 端口	–0.5	6.5	
应用到任一处于高电平或低电平状态输出的电压范围，V_O [(2) (3)]	A 端口	-0.5	V_{CCA} + 0.5	V
	B 端口	-0.5	V_{CCB} + 0.5	
输入钳位电流，I_{IK}	V_I < 0		-50	mA
输出钳位电流，I_{OK}	V_O < 0		-50	mA
持续输出电流，I_O		-50	50	mA
流经每个 V_{CCA}、V_{CCB} 或 GND 的持续电流		–100	100	mA
运行结温，T_J			150	°C
存储温度，T_{stg}		–65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) 建议运行条件表中提供了 V_{CCA} 和 V_{CCB} 的值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚[(1)]	A 端口	±2000	V
		B 端口	±15	kV
	充电器件模型（CDM），符合 JEDEC 规范 JESD22-C101，所有引脚[(2)]	A 端口	±1000	V
		B 端口	±1000	
	机器模型 (MM)	A 端口	±200	V
		B 端口	±200	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

Copyright © 2023 Texas Instruments Incorporated

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1) (2)]

			V_{CCA}	V_{CCB}	最小值	最大值	单位
V_{CCA}	电源电压[(3)]				1.65	3.6	V
V_{CCB}	电源电压[(3)]				2.3	5.5	V
V_{IH}	高电平输入电压	A 端口 I/O	1.65V 至 1.95V	2.3V 至 5.5V	V_{CCI} – 0.2	V_{CCI}	V
			2.3V 至 3.6V	2.3V 至 5.5V	V_{CCI} – 0.4	V_{CCI}	
		B 端口 I/O	1.65V 至 3.6V	2.3V 至 5.5V	V_{CCI} – 0.4	V_{CCI}	
		OE 输入	1.65V 至 3.6V	2.3V 至 5.5V	V_{CCA} × 0.65	5.5	
V_{IL}	低电平输入电压	A 端口 I/O	1.65V 至 3.6V	2.3V 至 5.5V	0	0.15	V
		B 端口 I/O	1.65V 至 3.6V	2.3V 至 5.5V	0	0.15	
		OE 输入	1.65V 至 3.6V	2.3V 至 5.5V	0	V_{CCA} × 0.35	
Δt/Δv	输入转换上升或下降速率	A 端口 I/O 推挽驱动	1.65V 至 3.6V	2.3V 至 5.5V		10	ns/V
		B 端口 I/O 推挽驱动	1.65V 至 3.6V	2.3V 至 5.5V		10	
		控制输入	1.65V 至 3.6V	2.3V 至 5.5V		10	
T_A	自然通风工作温度				–40	85	°C

(1) V_{CCI} 是与输入端口相关的电源电压。
(2) V_{CCO} 是与输出端口相关的电源电压。
(3) V_{CCA} 必须小于或等于 V_{CCB}，并且 V_{CCA} 不得超过 3.6V

6.4 热性能信息：ZXU、YZT 和 NMN

热指标[(1)]		TXS0104E			单位
		ZXU (BGA MICROSTAR JUNIOR) [(2)]	YZT (DSBGA)	NMN (NFGBA)	
		12 引脚	12 引脚	12 引脚	
$R_{\theta JA}$	结至环境热阻	132.0	89.2	134.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	98.4	0.9	90.7	°C/W
$R_{\theta JB}$	结至电路板热阻	68.7	14.4	88.4	°C/W
ψ_{JT}	结至顶部特征参数	3.1	3.0	4.3	°C/W
ψ_{JB}	结至电路板特征参数	68.2	14.4	89.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 热性能信息：D、PW 和 RGY

热指标[1]		TXS0104E			单位
		D (SOIC)[1]	PW (TSSOP)[2]	RGY (VQFN)[3]	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	90.4	120.1	56.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50.1	49.4	68.8	°C/W
$R_{\theta JB}$	结至电路板热阻	45.0	61.8	32.1	°C/W
ψ_{JT}	结至顶部特征参数	14.4	6.2	3.1	°C/W
ψ_{JB}	结至电路板特征参数	44.7	61.2	32.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	12.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。
(2) 封装热阻抗根据 JESD 51-7 计算。
(3) 封装热阻的计算符合 JESD 51-5。

6.6 电气特性

在推荐的自然通风条件下的工作温度范围内测得（除非另外注明）[1] [2] [3]

参数		测试条件	V_{CCA}	V_{CCB}	最小值	典型值	最大值	单位
V_{OHA}	端口 A 输出高电压	I_{OH} = –20μA，$V_{IB} \geq V_{CCB}$ – 0.4V，T_A = –40°C 至 85°C	1.65V 至 3.6V	2.3V 至 5.5V	V_{CCA} × 0.8			V
V_{OLA}	端口 A 输出低电压	I_{OL} = 1mA，$V_{IB} \leq$ 0.15V，T_A = –40°C 至 85°C	1.65V 至 3.6V	2.3V 至 5.5V			0.4	V
V_{OHB}	端口 B 输出高电压	I_{OH} = –20μA，$V_{IA} \geq V_{CCA}$ – 0.2V，T_A = –40°C 至 85°C	1.65V 至 3.6V	2.3V 至 5.5V	V_{CCB} × 0.8			V
V_{OLB}	端口 B 输出低电压	I_{OL} = 1mA，$V_{IA} \leq$ 0.15V，T_A = –40°C 至 85°C	1.65V 至 3.6V	2.3V 至 5.5V			0.4	V
I_I	输入漏电流	OE，$V_I = V_{CCI}$ 或 GND，T_A = 25°C	1.65V 至 3.6V	2.3V 至 5.5V	-1		1	μA
		$V_I = V_{CCI}$ 或 GND，T_A = –40°C 至 85°C	1.65V 至 3.6V	2.3V 至 5.5V	-2		2	
I_{OZ}	高阻抗状态输出电流	A 或 B 端口：OE = V_{IL}，T_A = 25°C	1.65V 至 3.6V	2.3V 至 5.5V	-1		1	μA
		A 或 B 端口：OE = V_{IL}，T_A = –40°C 至 85°C	1.65V 至 3.6V	2.3V 至 5.5V	-2		2	
I_{CCA}	V_{CCA} 电源电流	$V_I = V_O$ = 开路，I_O = 0，T_A = –40°C 至 85°C	1.65V 至 V_{CCB}	2.3V 至 5.5V			2.4	μA
			3.6V	0			2.2Ω	
			0	5.5V			-1	
I_{CCB}	V_{CCB} 电源电流	$V_I = V_O$ = 开路，I_O = 0，T_A = –40°C 至 85°C	1.65V 至 V_{CCB}	2.3V 至 5.5V			12	μA
			3.6V	0			-1	
			0	5.5V			1	
$I_{CCA} + I_{CCB}$	联合电源电流	$V_I = V_O$ = 开路，I_O = 0，T_A = –40°C 至 85°C	1.65V 至 V_{CCB}	2.3V 至 5.5V			14.4	μA
C_I	输入电容	OE：T_A = 25°C	3.3V	3.3V		2.5		pF
		OE：T_A = –40°C 至 85°C	3.3V	3.3V			3.5	

Copyright © 2023 Texas Instruments Incorporated

6.6 电气特性（续）

在推荐的自然通风条件下的工作温度范围内测得（除非另外注明）(1) (2) (3)

参数		测试条件	V_{CCA}	V_{CCB}	最小值	典型值	最大值	单位
C_{io}	输入到输出内部电容	A 端口：T_A = 25°C	3.3V	3.3V		5		pF
			3.3V	3.3V			6.5	
		B 端口：T_A = –40°C 至 85°C	3.3V	3.3V		12		
			3.3V	3.3V			16.5	

(1) V_{CCI} 是与输入端口相关的电源电压。
(2) V_{CCO} 是与输出端口相关的电源电压。
(3) V_{CCA} 必须小于或等于 V_{CCB}，并且 V_{CCA} 不得超过 3.6V

6.7 时序要求：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

				最小值	最大值	单位
数据传输速率	推挽驱动		V_{CCB} = 2.5V ± 0.2V V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V		24	Mbps
	开漏驱动		V_{CCB} = 2.5V ± 0.2V V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V		2	
t_w 脉冲持续时间	推挽驱动	数据输入	V_{CCB} = 2.5V ± 0.2V V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V	41		ns
	开漏驱动	数据输入	V_{CCB} = 2.5V ± 0.2V V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V	500		

6.8 时序要求：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

				最小值	最大值	单位
数据传输速率	推挽驱动		V_{CCB} = 2.5V ± 0.2V $_{CCB}$ = 3.3V ± 0.3V $_{CCB}$ = 5V ± 0.5V		24	Mbps
	开漏驱动		V_{CCB} = 2.5V ± 0.2V $_{CCB}$ = 3.3V ± 0.3V $_{CCB}$ = 5V ± 0.5V		2	
t_w 脉冲持续时间	推挽驱动	数据输入	V_{CCB} = 2.5V ± 0.2V $_{CCB}$ = 3.3V ± 0.3V $_{CCB}$ = 5V ± 0.5V	41		ns
	开漏驱动	数据输入	V_{CCB} = 2.5V ± 0.2V $_{CCB}$ = 3.3V ± 0.3V $_{CCB}$ = 5V ± 0.5V	500		

6.9 时序要求：V_{CCA} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

			最小值	最大值	单位
数据传输速率	推挽驱动	V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V		24	Mbps
	开漏驱动	V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V		2	

Copyright © 2023 Texas Instruments Incorporated

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

					最小值	最大值	单位
t_w	脉冲持续时间	推挽驱动	数据输入	V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V	41		ns
		开漏驱动	数据输入	V_{CCB} = 3.3V ± 0.3V V_{CCB} = 5V ± 0.5V	500		

6.10 开关特性：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

参数		测试条件			最小值	最大值	单位
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动	V_{CCB} = 2.5V ± 0.2V		4.6	ns
				V_{CCB} = 3.3V ± 0.3V		4.7	
				V_{CCB} = 5V ± 0.5V		5.8	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	2.9	8.8	
				V_{CCB} = 3.3V ± 0.3V	2.9	9.6	
				V_{CCB} = 5V ± 0.5V	3	10	
t_{PLH}	传播延迟时间（低至高电平输出）		推挽驱动	V_{CCB} = 2.5V ± 0.2V		6.8	
				V_{CCB} = 3.3V ± 0.3V		6.8	
				V_{CCB} = 5V ± 0.5V		7	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	45	260	
				V_{CCB} = 3.3V ± 0.3V	36	208	
				V_{CCB} = 5V ± 0.5V	27	198	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动	V_{CCB} = 2.5V ± 0.2V		4.4	ns
				V_{CCB} = 3.3V ± 0.3V		4.5	
				V_{CCB} = 5V ± 0.5V		4.7	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	1.9	5.3	
				V_{CCB} = 3.3V ± 0.3V	1.1	4.4	
				V_{CCB} = 5V ± 0.5V	1.2	4	
t_{PLH}	传播延迟时间（低至高电平输出）		推挽驱动	V_{CCB} = 2.5V ± 0.2V		5.3	
				V_{CCB} = 3.3V ± 0.3V		4.5	
				V_{CCB} = 5V ± 0.5V		0.5	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	45	175	
				V_{CCB} = 3.3V ± 0.3V	36	140	
				V_{CCB} = 5V ± 0.5V	27	102	
t_{en}	启用时间	OE 到 A 或 B		V_{CCB} = 2.5V ± 0.2V		200	ns
				V_{CCB} = 3.3V ± 0.3V		200	
				V_{CCB} = 5V ± 0.5V		200	
t_{dis}	禁用时间	OE 到 A 或 B		V_{CCB} = 2.5V ± 0.2V		50	ns
				V_{CCB} = 3.3V ± 0.3V		40	
				V_{CCB} = 5V ± 0.5V		35	
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	3.2	9.5	ns
				V_{CCB} = 3.3V ± 0.3V	2.3	9.3	
				V_{CCB} = 5V ± 0.5V	2	7.6	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	38	165	
				V_{CCB} = 3.3V ± 0.3V	30	132	
				V_{CCB} = 5V ± 0.5V	22	95	

Copyright © 2023 Texas Instruments Incorporated

6.10 开关特性：V_{CCA} = 1.8V ± 0.15V （续）

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

参数		测试条件			最小值	最大值	单位
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	4	10.8	ns
				V_{CCB} = 3.3V ± 0.3V	2.7	9.1	
				V_{CCB} = 5V ± 0.5V	2.7	7.6	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	34	145	
				V_{CCB} = 3.3V ± 0.3V	23	106	
				V_{CCB} = 5V ± 0.5V	10	58	

6.10 开关特性：V_{CCA} = 1.8V ± 0.15V （续）

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

参数		测试条件			最小值	最大值	单位
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	2	5.9	ns
				V_{CCB} = 3.3V ± 0.3V	1.9	6	
				V_{CCB} = 5V ± 0.5V	1.7	13.3	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	4.4	6.9	
				V_{CCB} = 3.3V ± 0.3V	4.3	6.4	
				V_{CCB} = 5V ± 0.5V	4.2	6.1	
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	2.9	7.6	ns
				V_{CCB} = 3.3V ± 0.3V	2.8	7.5	
				V_{CCB} = 5V ± 0.5V	2.8	8.8	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	6.9	13.8	
				V_{CCB} = 3.3V ± 0.3V	7.5	16.2	
				V_{CCB} = 5V ± 0.5V	7	16.2	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜		V_{CCB} = 2.5V ± 0.2V		1	ns
				V_{CCB} = 3.3V ± 0.3V		1	
				V_{CCB} = 5V ± 0.5V		1	
	最大数据速率		推挽驱动	V_{CCB} = 2.5V ± 0.2V	24		Mbps
				V_{CCB} = 3.3V ± 0.3V	24		
				V_{CCB} = 5V ± 0.5V	24		
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	2		
				V_{CCB} = 3.3V ± 0.3V	2		
				V_{CCB} = 5V ± 0.5V	2		

6.11 开关特性：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

参数		测试条件			最小值	最大值	单位
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动	V_{CCB} = 2.5V ± 0.2V		3.2	ns
				V_{CCB} = 3.3V ± 0.3V		3.3	
				V_{CCB} = 5V ± 0.5V		3.4	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	1.7	6.3	
				V_{CCB} = 3.3V ± 0.3V	2	6	
				V_{CCB} = 5V ± 0.5V	2.1	5.8	
t_{PLH}	传播延迟时间（低至高电平输出）	A 至 B	推挽驱动	V_{CCB} = 2.5V ± 0.2V		3.5	
				V_{CCB} = 3.3V ± 0.3V		4.1	
				V_{CCB} = 5V ± 0.5V		4.4	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	43	250	
				V_{CCB} = 3.3V ± 0.3V	36	206	
				V_{CCB} = 5V ± 0.5V	27	190	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动	V_{CCB} = 2.5V ± 0.2V		3	ns
				V_{CCB} = 3.3V ± 0.3V		3.6	
				V_{CCB} = 5V ± 0.5V		4.3	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	1.8	4.7	
				V_{CCB} = 3.3V ± 0.3V	2.6	4.2	
				V_{CCB} = 5V ± 0.5V	1.2	4	

Copyright © 2023 Texas Instruments Incorporated

6.11 开关特性：V_{CCA} = 2.5V ± 0.2V （续）

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

参数		测试条件			最小值	最大值	单位
t_{PLH}	传播延迟时间（低至高电平输出）	B 至 A	推挽驱动	V_{CCB} = 2.5V ± 0.2V		2.5	
				V_{CCB} = 3.3V ± 0.3V		1.6	
				V_{CCB} = 5V ± 0.5V		0.7	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	44	170	
				V_{CCB} = 3.3V ± 0.3V	37	140	
				V_{CCB} = 5V ± 0.5V	27	103	
t_{en}	启用时间	OE 到 A 或 B		V_{CCB} = 2.5V ± 0.2V		200	ns
				V_{CCB} = 3.3V ± 0.3V		200	
				V_{CCB} = 5V ± 0.5V		200	
t_{dis}	禁用时间	OE 到 A 或 B		V_{CCB} = 2.5V ± 0.2V		50	ns
				V_{CCB} = 3.3V ± 0.3V		40	
				V_{CCB} = 5V ± 0.5V		35	
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	2.8	7.4	ns
				V_{CCB} = 3.3V ± 0.3V	2.6	6.6	
				V_{CCB} = 5V ± 0.5V	1.8	5.6	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	34	149	
				V_{CCB} = 3.3V ± 0.3V	28	121	
				V_{CCB} = 5V ± 0.5V	24	89	
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	3.2	8.3	ns
				V_{CCB} = 3.3V ± 0.3V	2.9	7.2	
				V_{CCB} = 5V ± 0.5V	2.4	6.1	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	35	151	
				V_{CCB} = 3.3V ± 0.3V	24	112	
				V_{CCB} = 5V ± 0.5V	12	64	
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	1.9	5.7	ns
				V_{CCB} = 3.3V ± 0.3V	1.9	5.5	
				V_{CCB} = 5V ± 0.5V	1.8	5.3	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	4.4	6.9	
				V_{CCB} = 3.3V ± 0.3V	4.3	6.2	
				V_{CCB} = 5V ± 0.5V	4.2	5.8	
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	V_{CCB} = 2.5V ± 0.2V	2.2	7.8	ns
				V_{CCB} = 3.3V ± 0.3V	2.4	6.7	
				V_{CCB} = 5V ± 0.5V	2.6	6.6	
			开漏驱动	V_{CCB} = 2.5V ± 0.2V	5.1	8.8	
				V_{CCB} = 3.3V ± 0.3V	5.4	9.4	
				V_{CCB} = 5V ± 0.5V	5.4	10.4	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜		V_{CCB} = 2.5V ± 0.2V		1	ns
				V_{CCB} = 3.3V ± 0.3V		1	
				V_{CCB} = 5V ± 0.5V		1	

Copyright © 2023 Texas Instruments Incorporated

6.11 开关特性：V_{CCA} = 2.5V ± 0.2V （续）

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

参数	测试条件			最小值	最大值	单位
最大数据速率		推挽驱动	V_{CCB} = 2.5V ± 0.2V	24		Mbps
			V_{CCB} = 3.3V ± 0.3V	24		
			V_{CCB} = 5V ± 0.5V	24		
		开漏驱动	V_{CCB} = 2.5V ± 0.2V	2		
			V_{CCB} = 3.3V ± 0.3V	2		
			V_{CCB} = 5V ± 0.5V	2		

6.12 开关特性：V_{CCA} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

参数		测试条件			最小值	最大值	单位
t_{PHL}	传播延迟时间（高至低电平输出）	A 至 B	推挽驱动	V_{CCB} = 3.3V ± 0.3V		2.4	ns
				V_{CCB} = 5V ± 0.5V		3.1	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	1.3	4.2	
				V_{CCB} = 5V ± 0.5V	1.4	4.6	
t_{PLH}	传播延迟时间（低至高电平输出）		推挽驱动	V_{CCB} = 3.3V ± 0.3V		4.2	
				V_{CCB} = 5V ± 0.5V		4.4	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	36	204	
				V_{CCB} = 5V ± 0.5V	28	165	
t_{PHL}	传播延迟时间（高至低电平输出）	B 至 A	推挽驱动	V_{CCB} = 3.3V ± 0.3V		2.5	ns
				V_{CCB} = 5V ± 0.5V		3.3	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	1	124	
				V_{CCB} = 5V ± 0.5V	1	97	
t_{PLH}	传播延迟时间（低至高电平输出）		推挽驱动	V_{CCB} = 3.3V ± 0.3V		2.5	
				V_{CCB} = 5V ± 0.5V		2.6	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	3	139	
				V_{CCB} = 5V ± 0.5V	3	105	
t_{en}	启用时间	OE 到 A 或 B		V_{CCB} = 3.3V ± 0.3V		200	ns
				V_{CCB} = 5V ± 0.5V		200	
t_{dis}	禁用时间	OE 到 A 或 B		V_{CCB} = 3.3V ± 0.3V		40	ns
				V_{CCB} = 5V ± 0.5V		35	
t_{rA}	输入上升时间	A 端口上升时间	推挽驱动	V_{CCB} = 3.3V ± 0.3V	2.3	5.6	ns
				V_{CCB} = 5V ± 0.5V	1.9	4.8	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	25	116	
				V_{CCB} = 5V ± 0.5V	19	85	
t_{rB}	输入上升时间	B 端口上升时间	推挽驱动	V_{CCB} = 3.3V ± 0.3V	2.5	6.4	ns
				V_{CCB} = 5V ± 0.5V	2.1	7.4	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	26	116	
				V_{CCB} = 5V ± 0.5V	26	116	
t_{fA}	输入下降时间	A 端口下降时间	推挽驱动	V_{CCB} = 3.3V ± 0.3V	2	5.4	ns
				V_{CCB} = 5V ± 0.5V	1.9	5	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	4.3	6.1	
				V_{CCB} = 5V ± 0.5V	4.2	5.7	

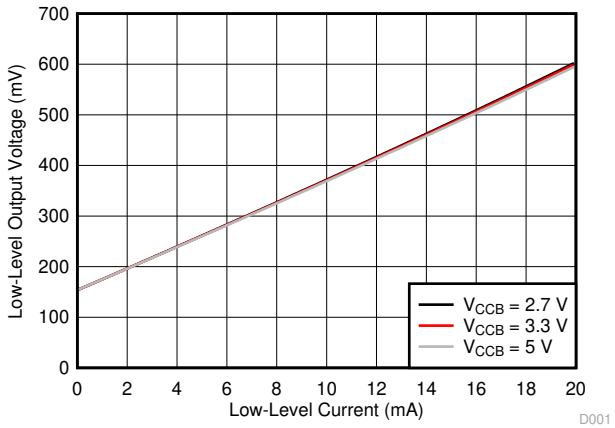
Copyright © 2023 Texas Instruments Incorporated

6.12 开关特性：V_{CCA} = 3.3V ± 0.3V （续）

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

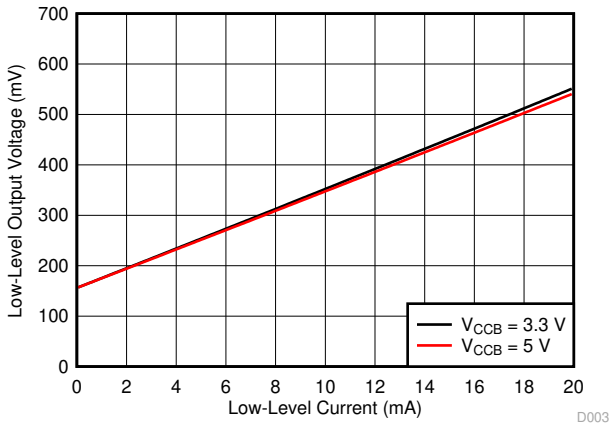
参数		测试条件			最小值	最大值	单位
t_{fB}	输入下降时间	B 端口下降时间	推挽驱动	V_{CCB} = 3.3V ± 0.3V	2.3	7.4	ns
				V_{CCB} = 5V ± 0.5V	2.4	7.6	
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	5	7.6	
				V_{CCB} = 5V ± 0.5V	4.8	8.3	
$t_{SK(O)}$	偏斜（时间），输出	通道间偏斜		V_{CCB} = 3.3V ± 0.3V		1	ns
				V_{CCB} = 5V ± 0.5V		1	
最大数据速率			推挽驱动	V_{CCB} = 3.3V ± 0.3V	24		Mbps
				V_{CCB} = 5V ± 0.5V	24		
			开漏驱动	V_{CCB} = 3.3V ± 0.3V	2		
				V_{CCB} = 5V ± 0.5V	2		

6.13 典型特性



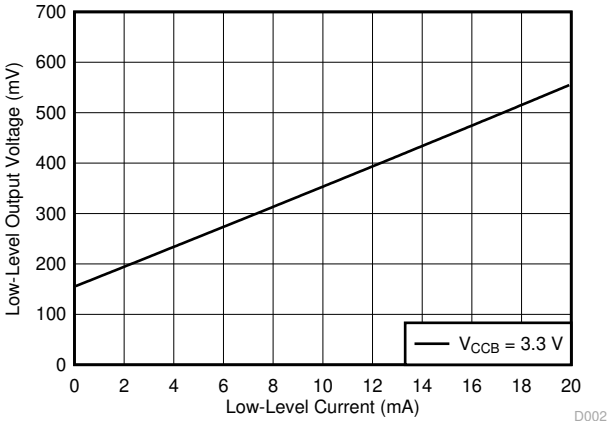
V_{CCA} = 1.8V　　$V_{IL(A)}$ = 150mV

图 6-1. 低电平输出电压 ($V_{OL(Ax)}$) 与低电平电流 ($I_{OL(Ax)}$) 间的关系



V_{CCA} = 2.7 V　　$V_{IL(A)}$ = 150mV

图 6-2. 低电平输出电压 ($V_{OL(Ax)}$) 与低电平电流 ($I_{OL(Ax)}$) 间的关系



V_{CCA} = 3.3 V　　$V_{IL(A)}$ = 150mV

图 6-3. 低电平输出电压 ($V_{OL(Ax)}$) 与低电平电流 ($I_{OL(Ax)}$) 间的关系

7 参数测量信息

7.1 负载电路

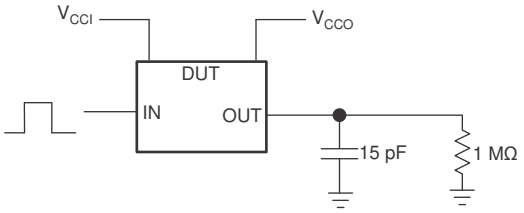


图 7-1. 使用推挽驱动器时的数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间测量

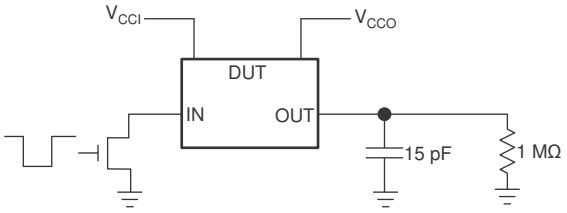
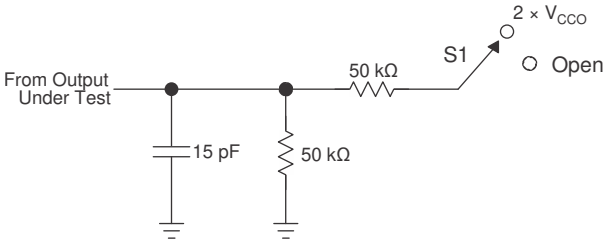


图 7-2. 使用开漏驱动器时的数据速率、脉冲持续时间、传播延迟、输出上升时间和下降时间测量



测试	S1
t_{PZL} / t_{PLZ} (t_{dis})	2 x V_{CCO}
t_{PHZ} / t_{PZH} (t_{en})	开路

图 7-3. 针对使能时间和禁用时间测量的负载电路

1. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
2. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
3. V_{CCI} 是与输入端口相关的 V_{CC}。
4. V_{CCO} 是与输出端口相关的 V_{CC}。

Copyright © 2023 Texas Instruments Incorporated

7.2 电压波形

每次测量这些输出中的一个，每次测量转换一次。所有输入脉冲由具有以下特性的发生器提供：

- PRR ≤ 10MHz
- Z_O = 50 Ω
- dv/dt ≥ 1V/ns

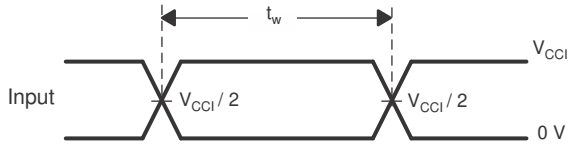


图 7-4. 脉冲持续时间

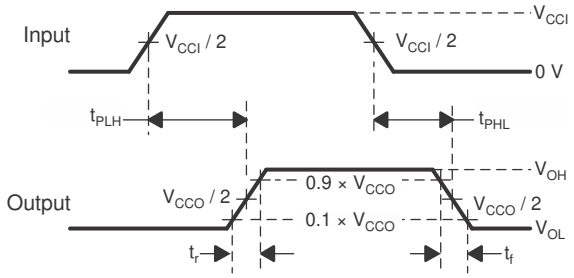
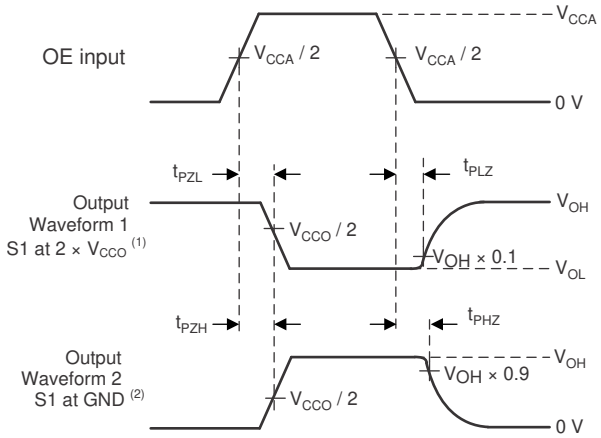


图 7-5. 传播延迟时间



A. 波形 1 针对内部输出 (output with internal)，这样输出为高电平，除非 OE 为高电平（请参阅图 7-3）。
B. 波形 2 针对条件输出 (output with conditions)，这样输出为低电平，除非 OE 为高电平。

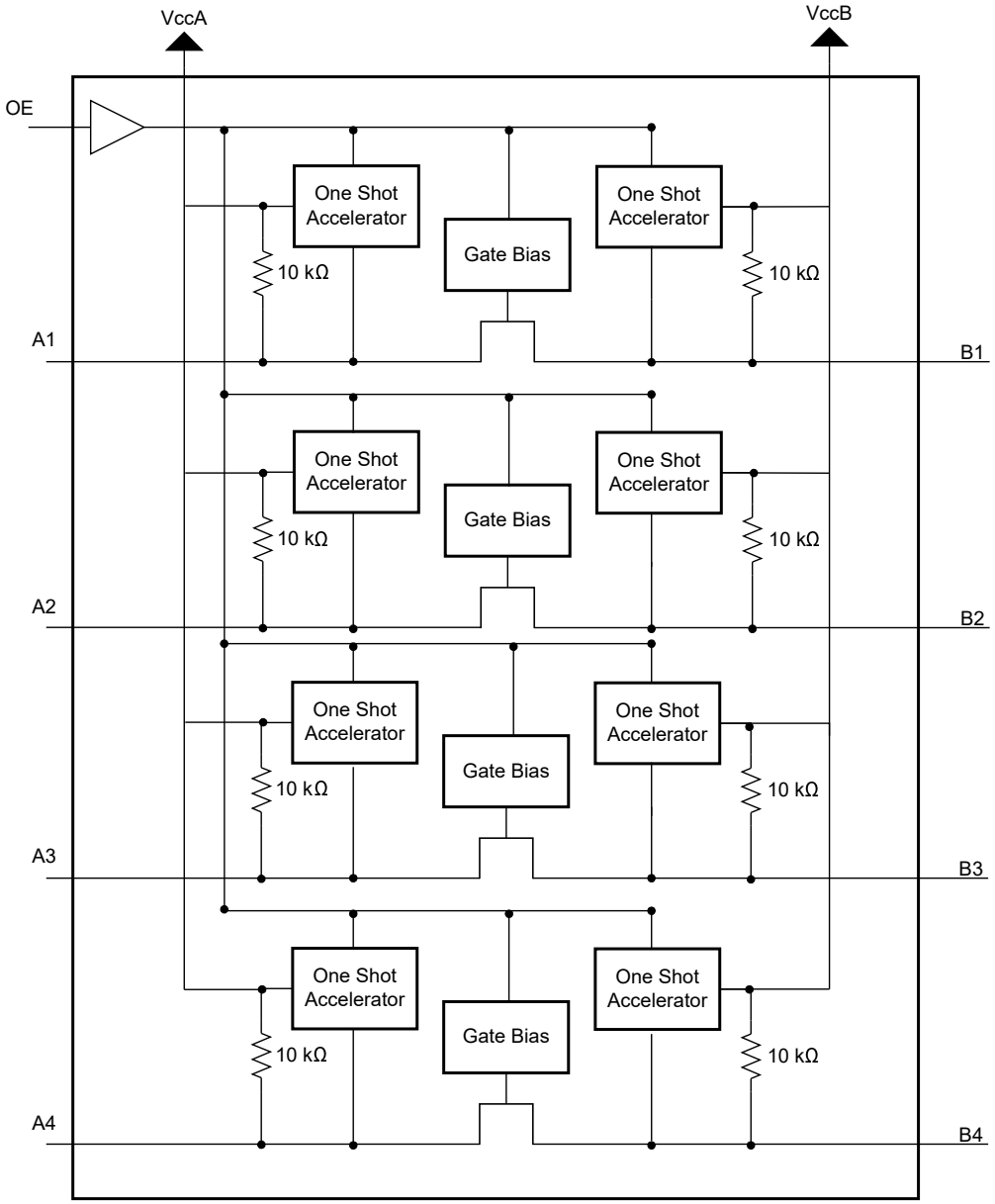
图 7-6. 启用和禁用时间

8 详细说明

8.1 概述

TXS0104E 器件是专为转换逻辑电压电平而设计的无方向电压电平转换器。A 端口能够接受 1.65V 至 3.6V 的 I/O 电压，而 B 端口可接受 2.3V 至 5.5V 的 I/O 电压。该器件是一种带有边沿速率加速器（单次触发）的导通栅极架构，可提高整体数据速率。为了方便使用，此器件内已集成 10kΩ 上拉电阻器（通常被用在开漏应用中），这样就不再需要外部电阻器了。虽然这款器件设计用于开漏应用，此器件也可转换推挽 CMOS 逻辑输出。

8.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

8.3 特性说明

8.3.1 架构

TXS0104E 架构（请参阅图 8-1）无需方向控制信号来控制从 A 至 B 或从 B 至 A 的数据流的方向。

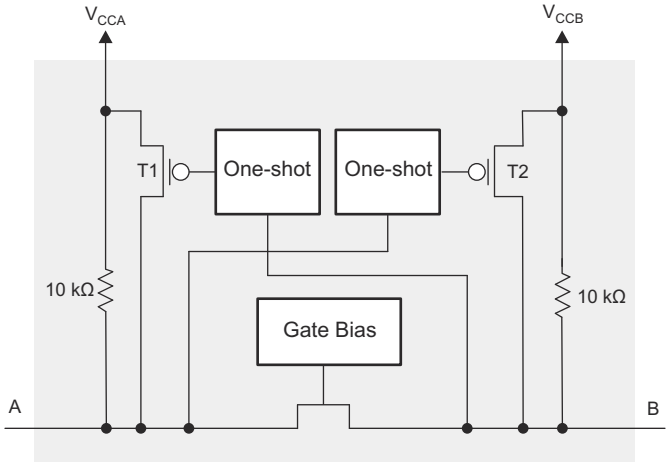


图 8-1. TXS01xx 单元的架构

每个 A 端口 I/O 具有一个针对 V_{CCA} 的内部 10kΩ 上拉电阻器，而每个 B 端口具有一个针对 V_{CCB} 的内部 10kΩ 上拉电阻器。输出单次检测 A 或 B 端口上的上升边沿。在一个上升边沿期间，短时间内单次打开 PMOS 晶体管 (T1，T2)，这样加快了低至高转换。

8.3.2 输入驱动器要求

信号的下降时间 (t_{fA}, t_{fB}) 取决于外部器件（驱动 TXS0104E 器件的数据 I/O）的输出阻抗。相似地，t_{PHL} 和最大数据速率也取决于外部驱动器的输出阻抗。t_{fA}，t_{fB}，t_{PHL} 的值和数据表中的最大数据速率假定外部驱动器的输出阻抗少于 50Ω。

8.3.3 上电

运行期间，确保 V_{CCA} 始终小于等于 V_{CCB}。加电时序期间，$V_{CCA} \geqslant V_{CCB}$ 不会损坏器件，所以任一电源均可首先斜升。

8.3.4 启用和禁用

TXS0104E 器件具有一个通过将 OE 设定为低电平来禁用器件的 OE 输入，这将所有 I/O 置于高阻抗状态。禁用时间 (t_{dis}) 表示 OE 引脚变为低电平与输出实际进入高阻抗状态之间的延迟。启用时间 (t_{en}) 表示 OE 引脚为高电平之后，用户必须使单次电路变为可用的时间量。

8.3.5 I/O 线路上的上拉和下拉电阻器

每个 A 端口 I/O 具有一个针对 V_{CCA} 的内部 10kΩ 上拉电阻器，而每个 B 端口具有一个针对 V_{CCB} 的内部 10kΩ 上拉电阻器。如果需要更小值的上拉电阻器，必须在 I/O 与 V_{CCA} 或 V_{CCB} 之间添加一个外部电阻器（与内部 10kΩ 电阻器并联）。

8.4 器件功能模式

TXS0104E 器件有两种功能模式：启用和禁用。为了禁用此器件，将 OE 输入设定为低电平，这样将所有 I/O 置于高阻抗状态。将 OE 输入设定为高电平将启用此器件。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

TXS0104E 器件适用于电平转换应用，用于将在不同接口电压下运行的器件或系统相互连接起来。TXS0104E 器件非常适合将开漏驱动器连接至数据 I/O 的应用。TXS0104E 器件也可用于推挽驱动器被接至数据 I/O 的应用，但是对于此类推挽应用，TXB0104 器件也许是一个更好的选择。

9.2 典型应用

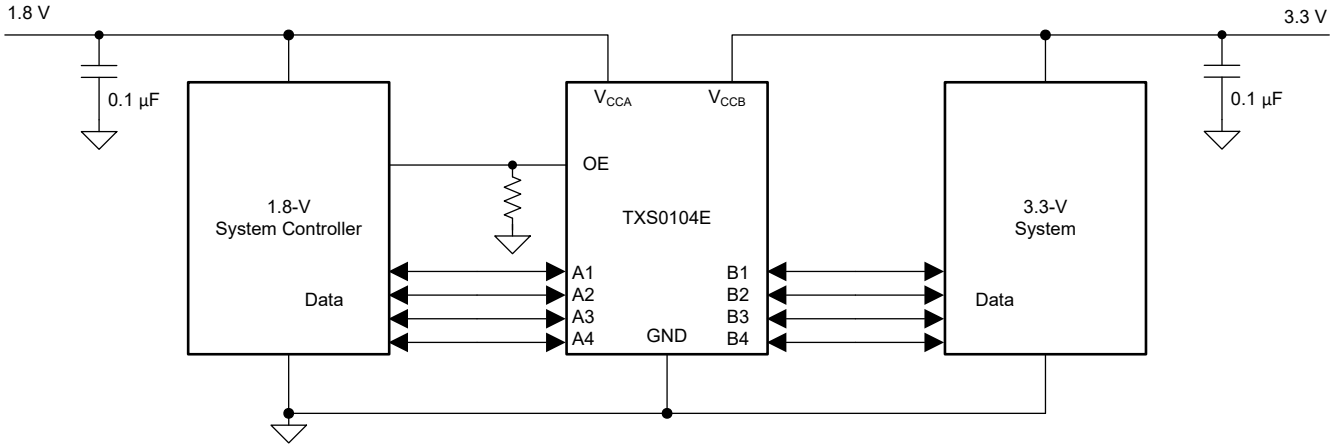


图 9-1. 应用原理图

9.2.1 设计要求

对于这个设计示例，请使用 表 9-1 中列出的参数。

表 9-1. 设计参数

设计参数	示例值
输入电压范围	1.65 至 3.6V
输出电压范围	2.3 至 5.5V

Copyright © 2023 Texas Instruments Incorporated

9.2.2 详细设计流程

要开始设计过程，请确定以下内容：

- 输入电压范围
  - 使用正在驱动 TXS0104E 器件的器件电源电压来确定输入电压范围。要获得一个有效的逻辑高电平，这个值必须超过输入端口的 V_{IH}。要获得一个有效的逻辑低电平，这个值必须小于输入端口的 V_{IL}。
- 输出电压范围
  - 使用 TXS0104E 器件正在驱动的器件电源电压来确定输出电压范围。
  - TXS0104E 器件具有 10kΩ 内部上拉电阻器。如果需要的话，可增加外部上拉电阻器来减少信号迹线上的总 RC。
- 一个外部下拉电阻器减少输出 V_{OH} 和 V_{OL}。使用 方程式 1 来计算由外部下拉电阻器产生的 V_{OH}。

$$V_{OH} = V_{CCx} \times R_{PD} / (R_{PD} + 10\,k\Omega) \quad (1)$$

其中

V_{CCx} 是 V_{CCA} 或 V_{CCB} 上的电源电压，
R_{PD} 是外部下拉电阻器的值

9.2.3 应用曲线

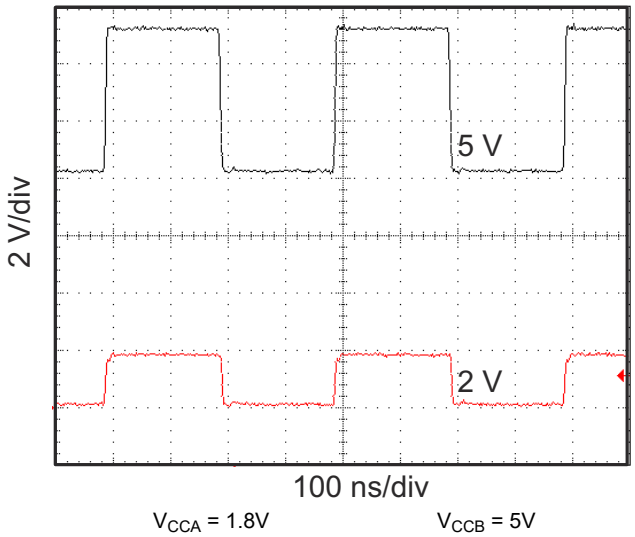


图 9-2. 2.5MHz 信号的电平转换

9.3 电源相关建议

TXS0104E 器件使用两个独立的可配置电源轨 V_{CCA} 和 V_{CCB}。只要 Vs 小于或等于 V_{CCB}，V_{CCB} 就接受 2.3V 至 5.5V 之间的任一电压值，而 V_{CCA} 接受的电压范围在 1.65V 至 3.6V 之间。A 端口和 B 端口被设计用来分别跟踪 V_{CCA} 和 V_{CCB}，从而实现 1.8V，2.5V，3.3V 和 5V 任一电压节点之间的低压双向转换。

TXS0104E 器件在加电期间无需 V_{CCA} 和 V_{CCB} 之间的电源时序，因此，电源轨可以按任一顺序斜升。V_{CCA} 值大于或等于 V_{CCB} ($V_{CCA} \geqslant V_{CCB}$) 不会损坏器件，但是在运行期间，$V_{CCA}$ 必须始终小于或等于 V_{CCB} ($V_{CCA} \leqslant V_{CCB}$)。

输出使能 (OE) 输入电路被设计成由 V_{CCA} 供电，并且当 (OE) 输入为低电平时，所有输出被置于高阻抗状态。为确保输出在上电或断电期间为高阻抗状态，OE 输入引脚必须通过下拉电阻连接至 GND，并且直至 V_{CCA} 和 V_{CCB} 完全斜升且稳定后才能启用。对地下拉电阻器的最小值由驱动器的电流供源能力确定。

9.4 布局

9.4.1 布局指南

为确保器件可靠性，建议按照以下常见印刷电路板布局布线指南进行操作。

- 应该在电源上使用旁路电容器。
- 为了避免过多负载，应该使用短迹线。
- PCB 信号迹线长度必须保持足够短，以便任一反射的往返延迟少于单次持续时间，大约为 30ns，并且源驱动器上的阻抗较低。
- 根据系统要求，在信号路径上放置用于加载电容器或上拉电阻器的焊盘，以帮助调整信号的上升和下降时间。

9.4.2 布局示例

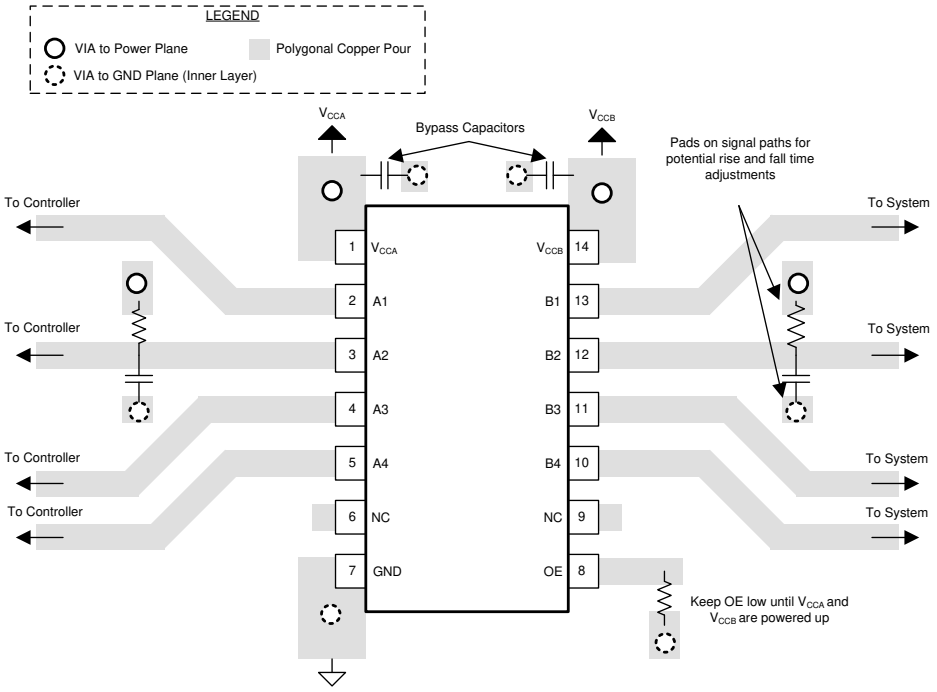


图 9-3. TXS0104E 布局示例

Copyright © 2023 Texas Instruments Incorporated

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*外部上拉和下拉电阻器对 TXS 和 TXB 器件的影响* 应用报告
- 德州仪器 (TI)，*电压转换基础知识* 应用报告
- 德州仪器 (TI)，*使用 TXS 型转换器进行电压转换的指南* 应用报告

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.4 商标

NanoFree™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TXS0104EBQAR	ACTIVE	WQFN	BQA	14	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YF04E	Samples
TXS0104ED	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXS0104E	Samples
TXS0104EDG4	ACTIVE	SOIC	D	14	50	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXS0104E	Samples
TXS0104EDR	ACTIVE	SOIC	D	14	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TXS0104E	Samples
TXS0104ENMNR	ACTIVE	NFBGA	NMN	12	2500	RoHS & Green	SNAGCU	Level-2-260C-1 YEAR	-40 to 85	29XW	Samples
TXS0104EPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YF04E	Samples
TXS0104EPWRG4	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	YF04E	Samples
TXS0104ERGYR	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF04E	Samples
TXS0104ERGYRG4	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	YF04E	Samples
TXS0104EYZTR	ACTIVE	DSBGA	YZT	12	3000	RoHS & Green	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(2HN, 2N)	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXS0104E :

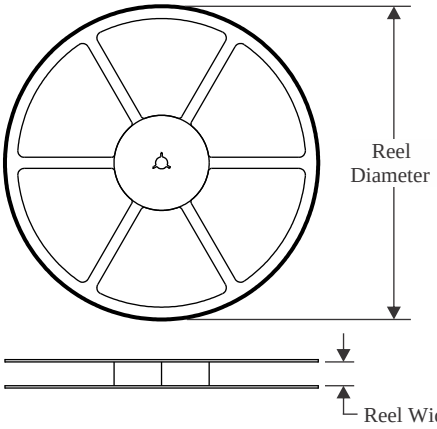
- Automotive : TXS0104E-Q1

NOTE: Qualified Version Definitions:

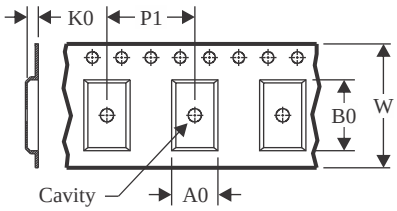
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

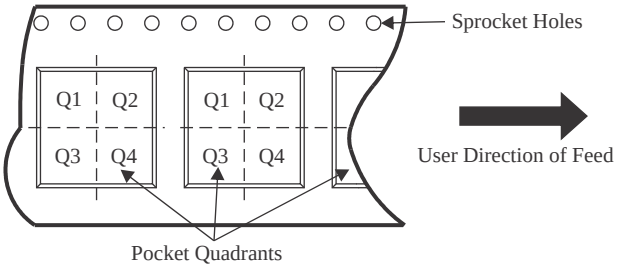


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

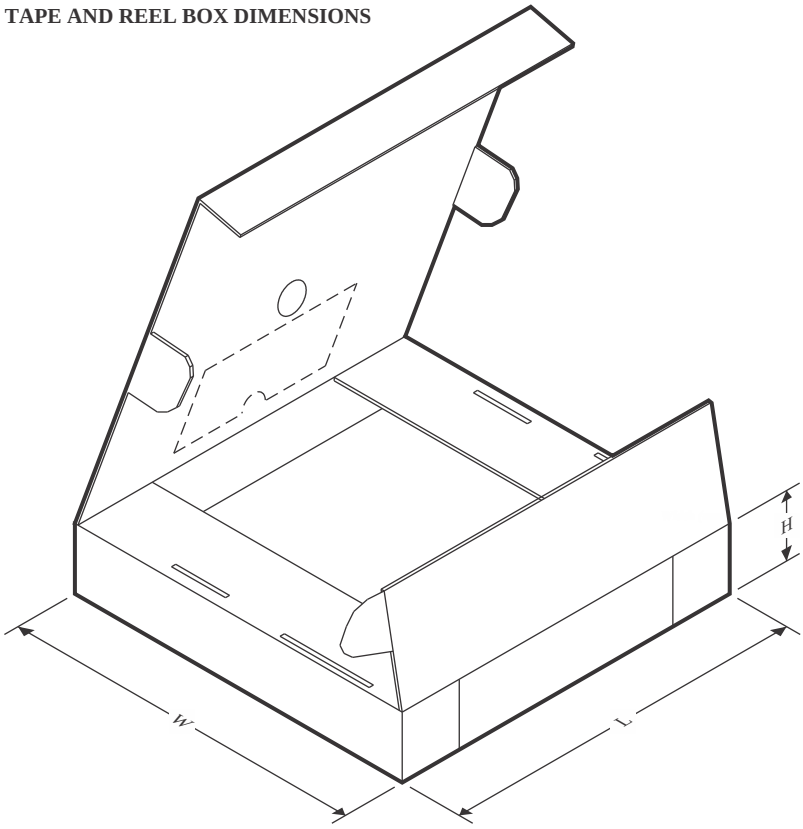
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXS0104EBQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
TXS0104EDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TXS0104ENMNR	NFBGA	NMN	12	2500	180.0	8.4	2.3	2.8	1.15	4.0	8.0	Q2
TXS0104EPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TXS0104ERGYR	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TXS0104EYZTR	DSBGA	YZT	12	3000	178.0	9.2	1.49	1.99	0.75	4.0	8.0	Q1
TXS0104EYZTR	DSBGA	YZT	12	3000	180.0	8.4	1.49	1.99	0.75	4.0	8.0	Q2

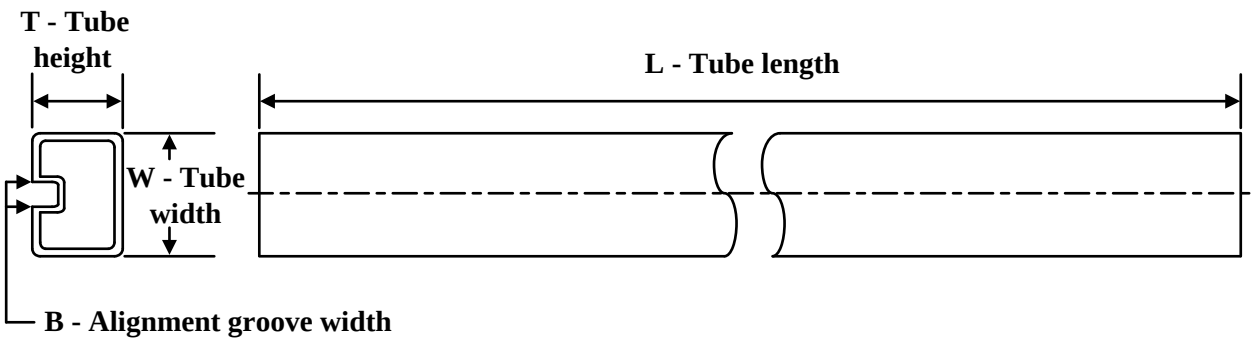
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXS0104EBQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
TXS0104EDR	SOIC	D	14	2500	356.0	356.0	35.0
TXS0104ENMNR	NFBGA	NMN	12	2500	210.0	185.0	35.0
TXS0104EPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TXS0104ERGYR	VQFN	RGY	14	3000	356.0	356.0	35.0
TXS0104EYZTR	DSBGA	YZT	12	3000	220.0	220.0	35.0
TXS0104EYZTR	DSBGA	YZT	12	3000	182.0	182.0	20.0

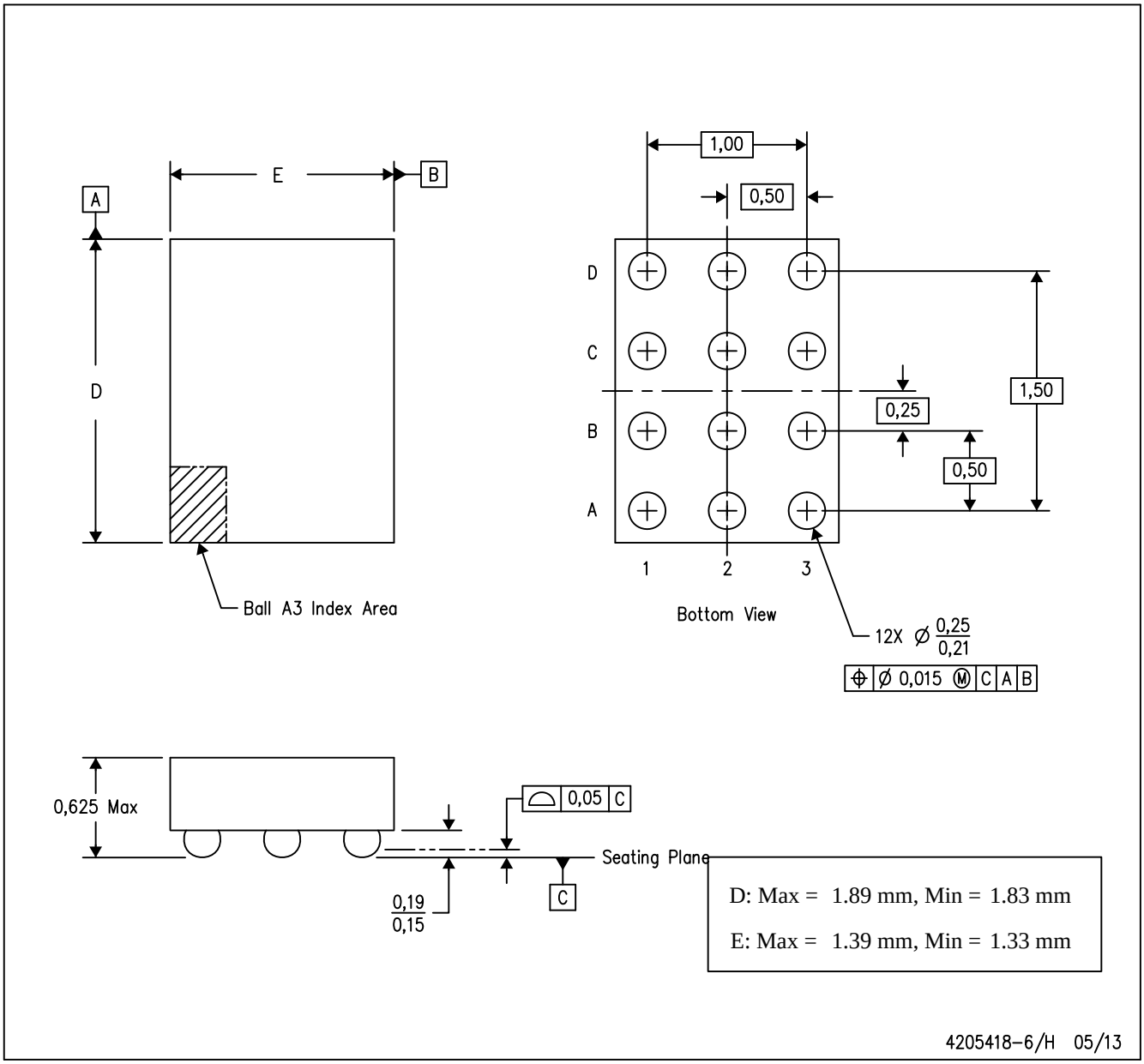
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TXS0104ED	D	SOIC	14	50	506.6	8	3940	4.32
TXS0104EDG4	D	SOIC	14	50	506.6	8	3940	4.32

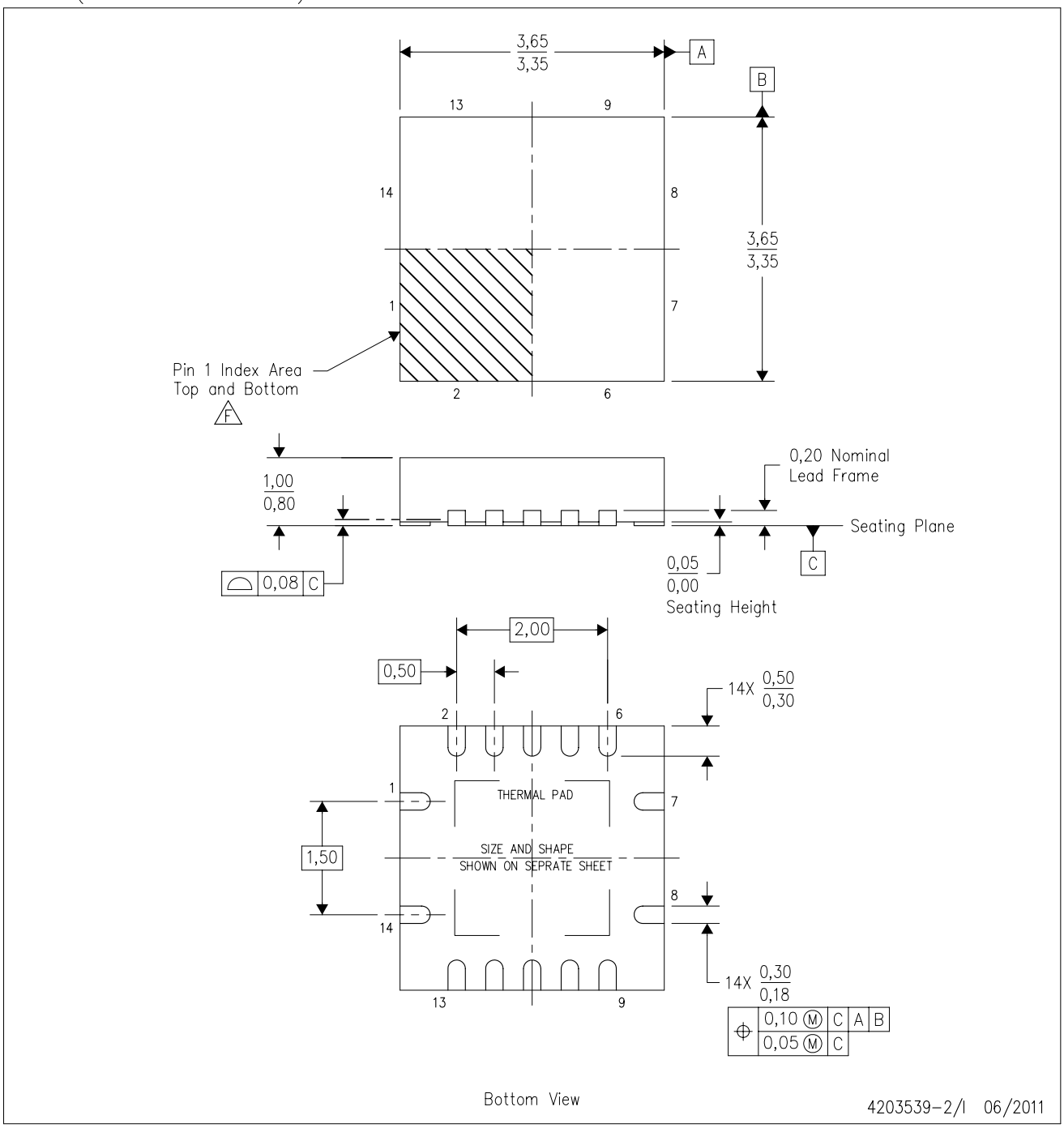
YZT (R–XBGA–N12) (CUSTOM) DIE–SIZE BALL GRID ARRAY



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. NanoFree™ package configuration.

NanoFree is a trademark of Texas Instruments.

RGY (S-PVQFN-N14) PLASTIC QUAD FLATPACK NO-LEAD



NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
- B. This drawing is subject to change without notice.
- C. QFN (Quad Flatpack No-Lead) package configuration.
- D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
- E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
- F. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
- G. Package complies to JEDEC MO-241 variation BA.

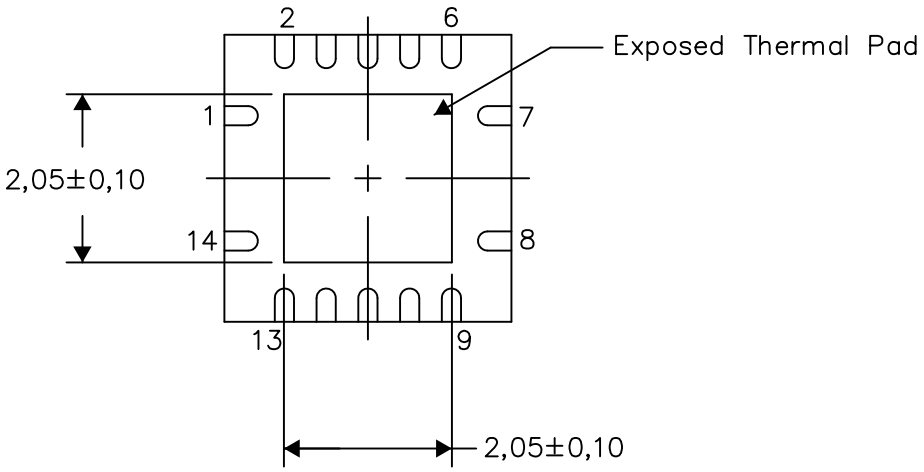
RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



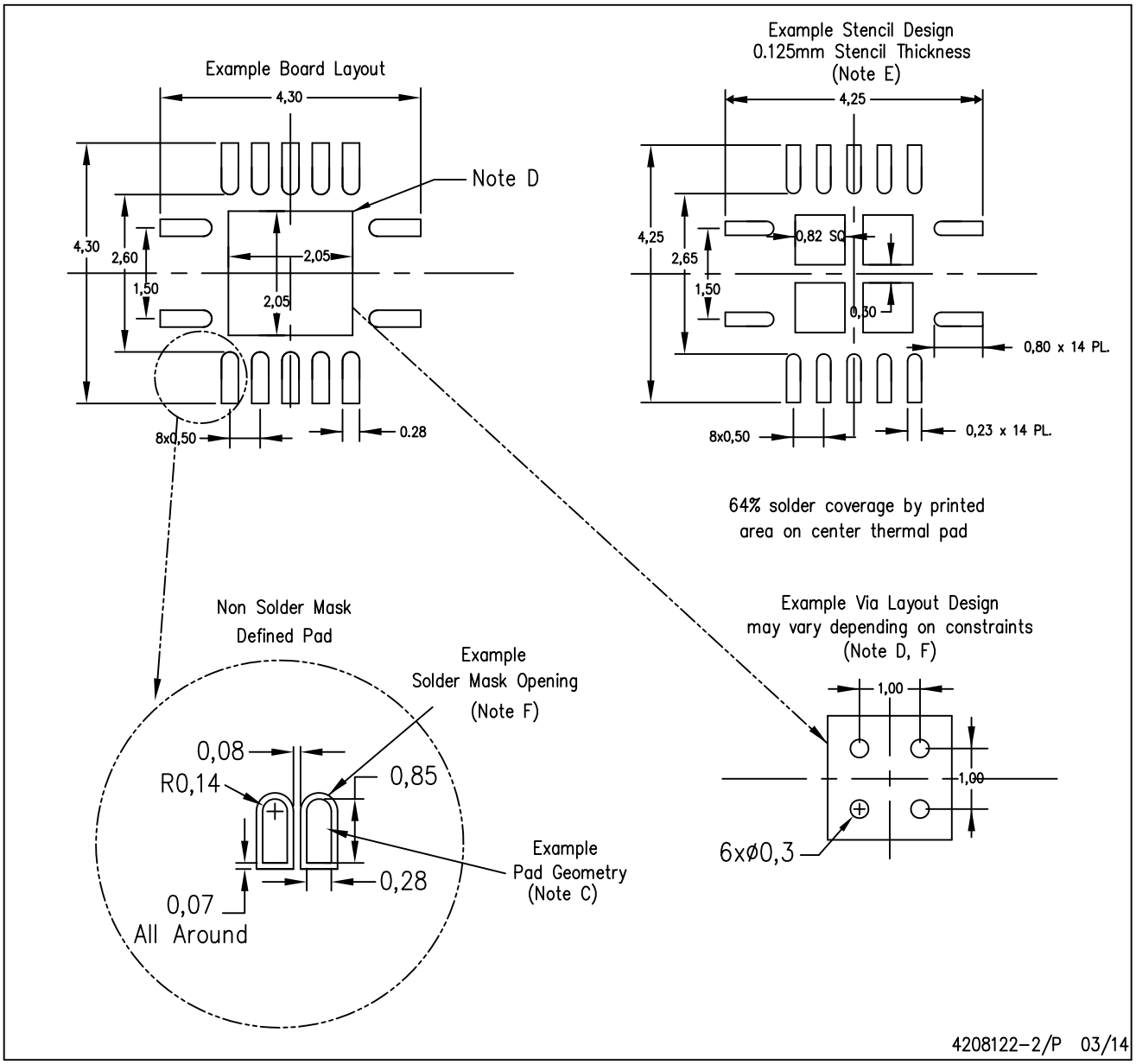
Bottom View

Exposed Thermal Pad Dimensions

4206353–2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

GENERIC PACKAGE VIEW

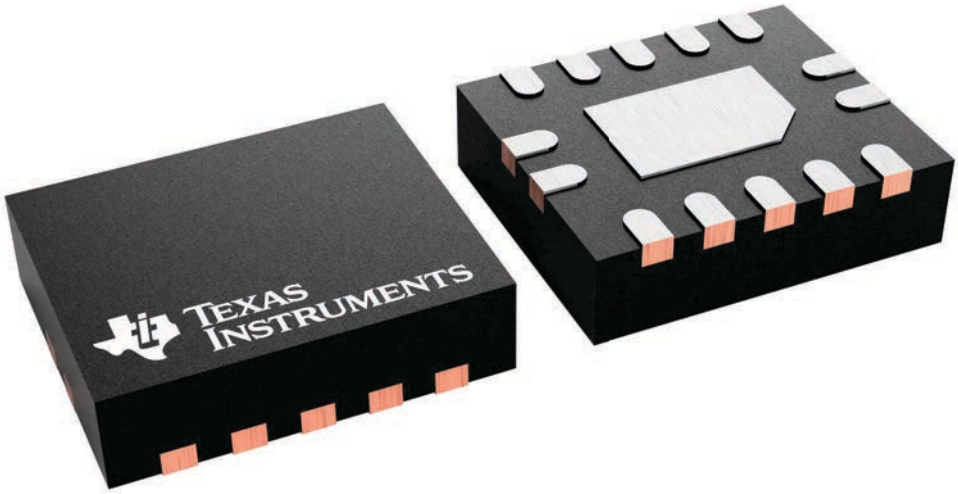
BQA 14

WQFN - 0.8 mm max height

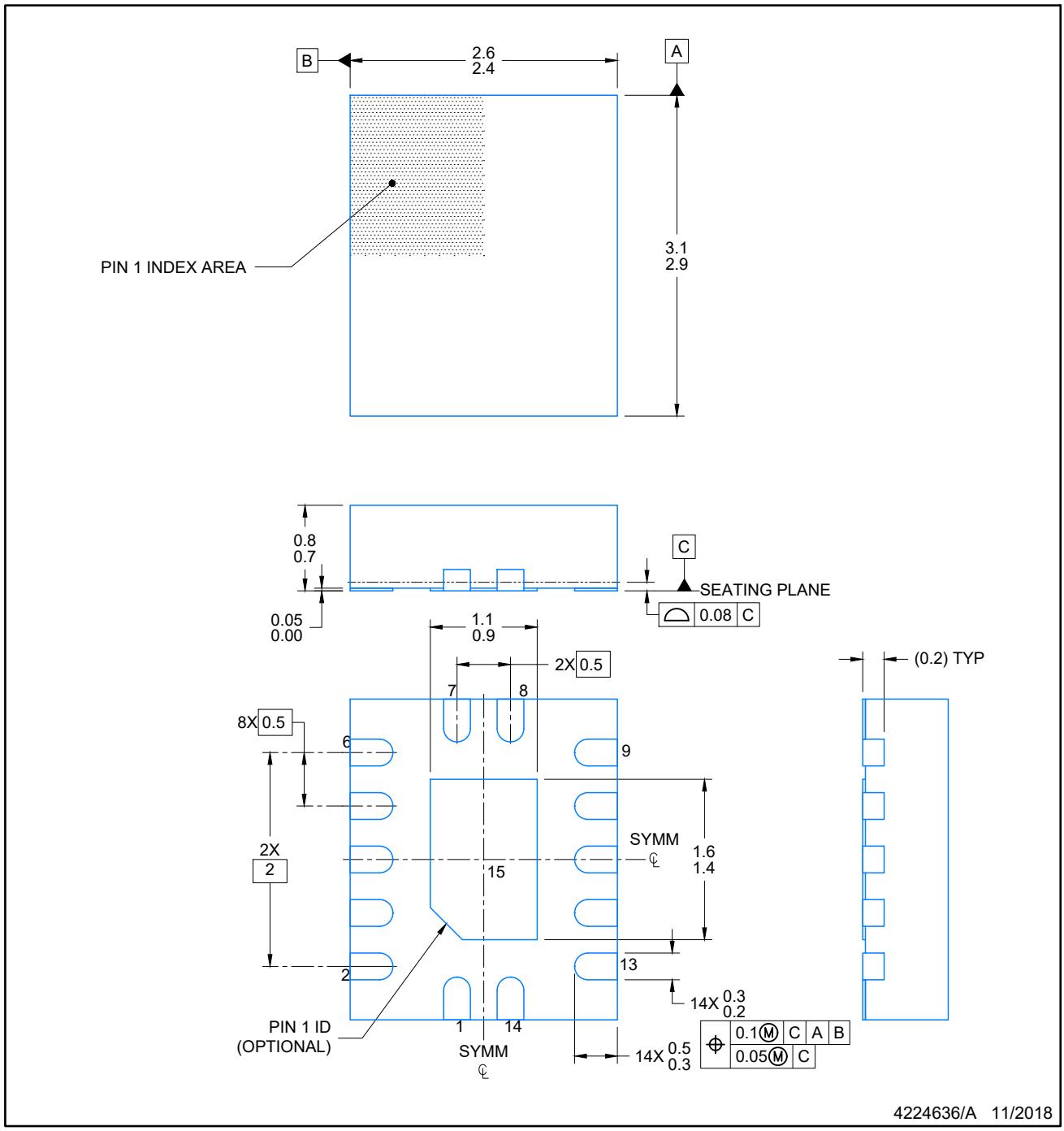
2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

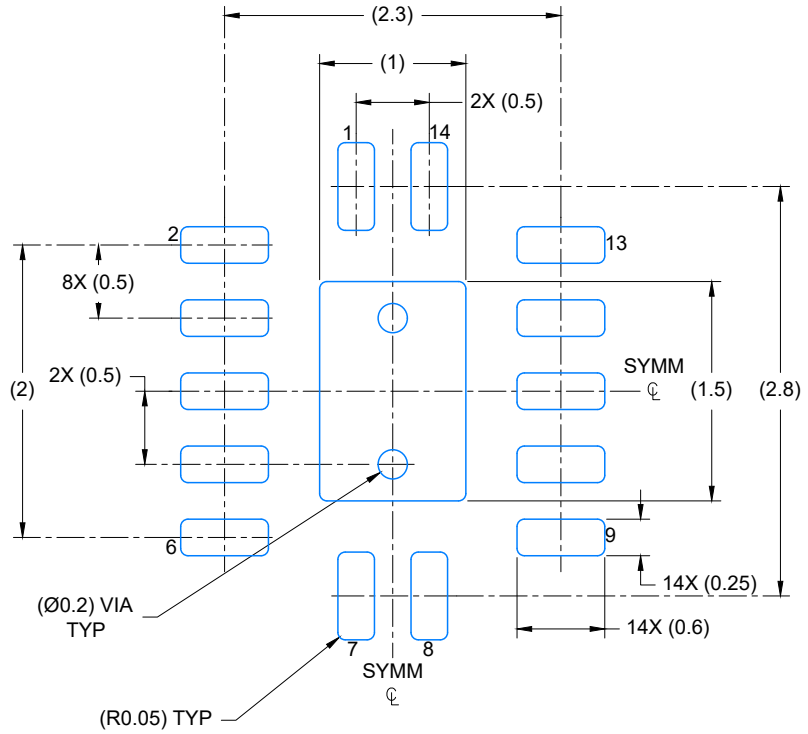


4227145/A

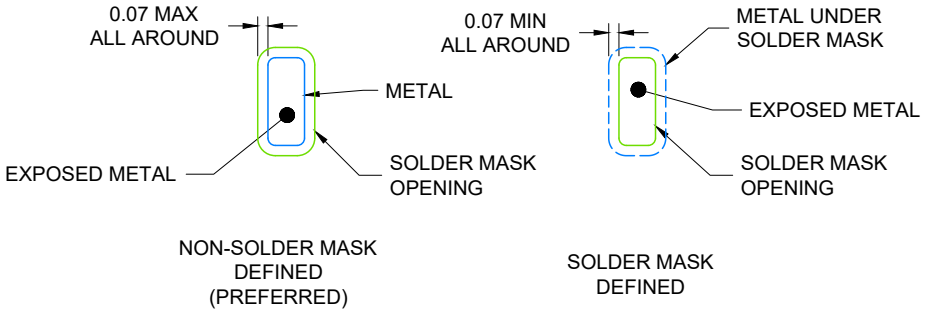


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



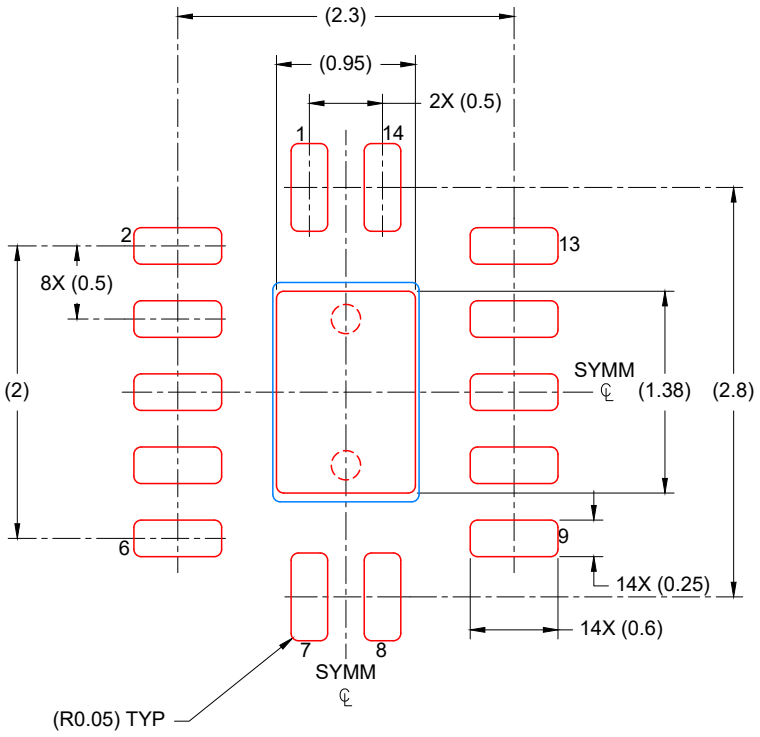
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

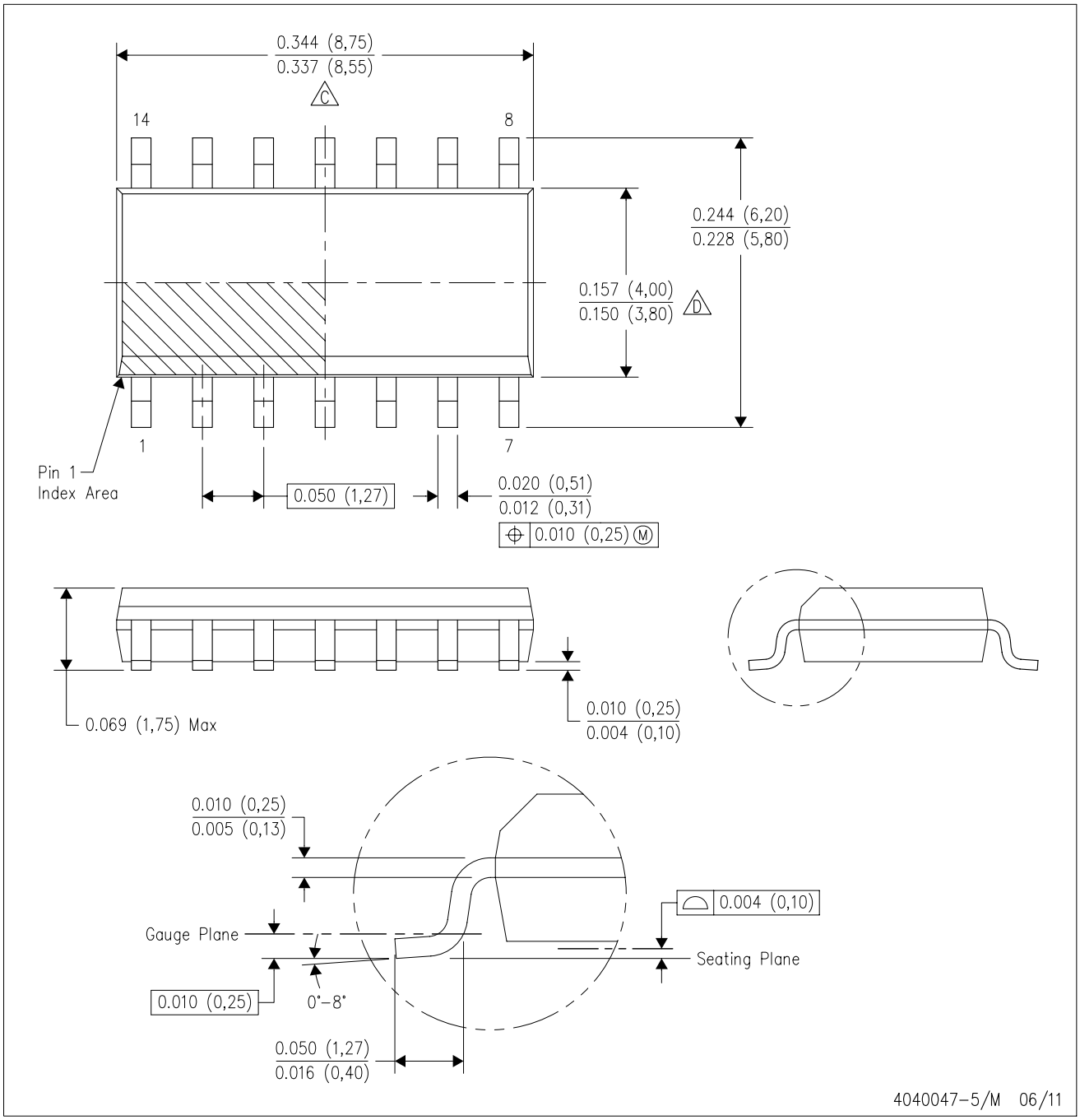
EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

NOTES: (continued)

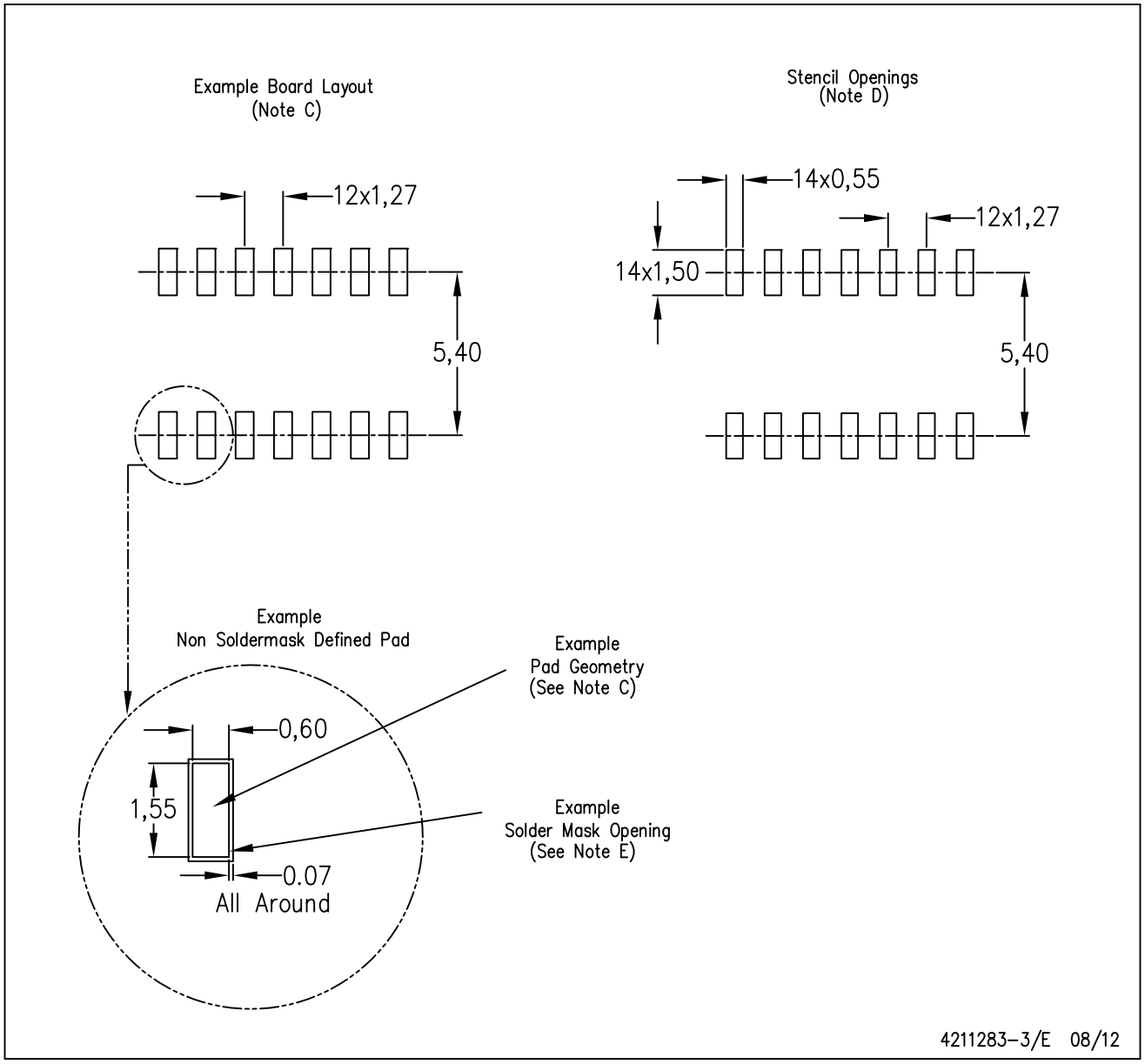
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



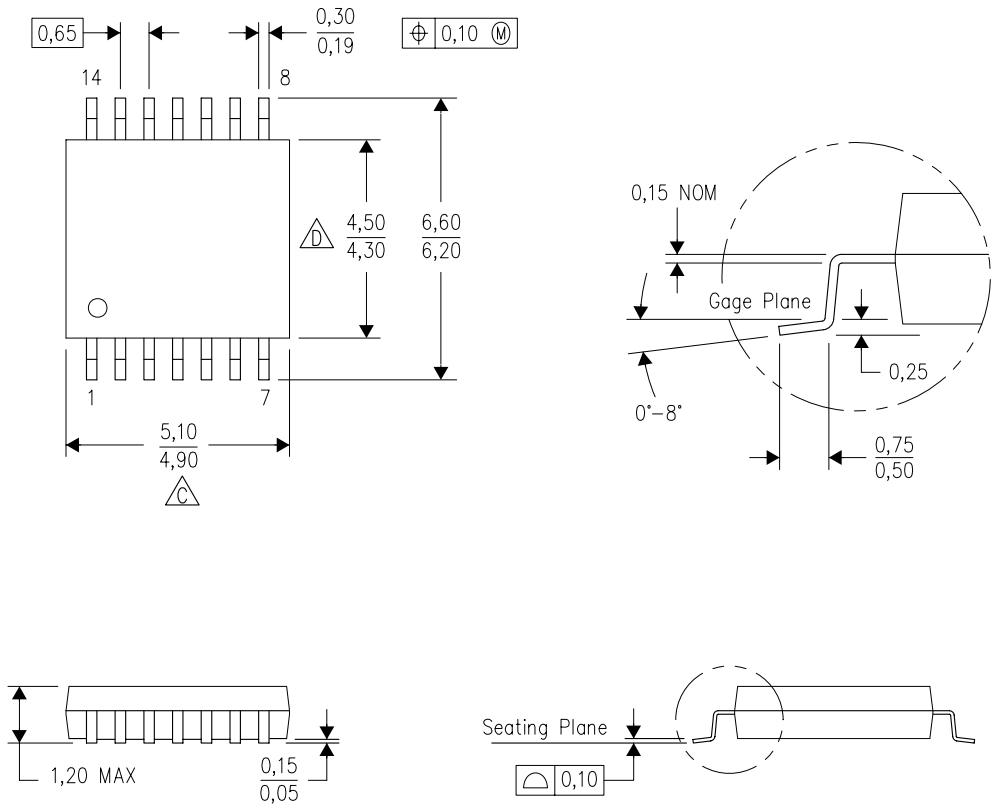
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

D (R–PDSO–G14) PLASTIC SMALL OUTLINE

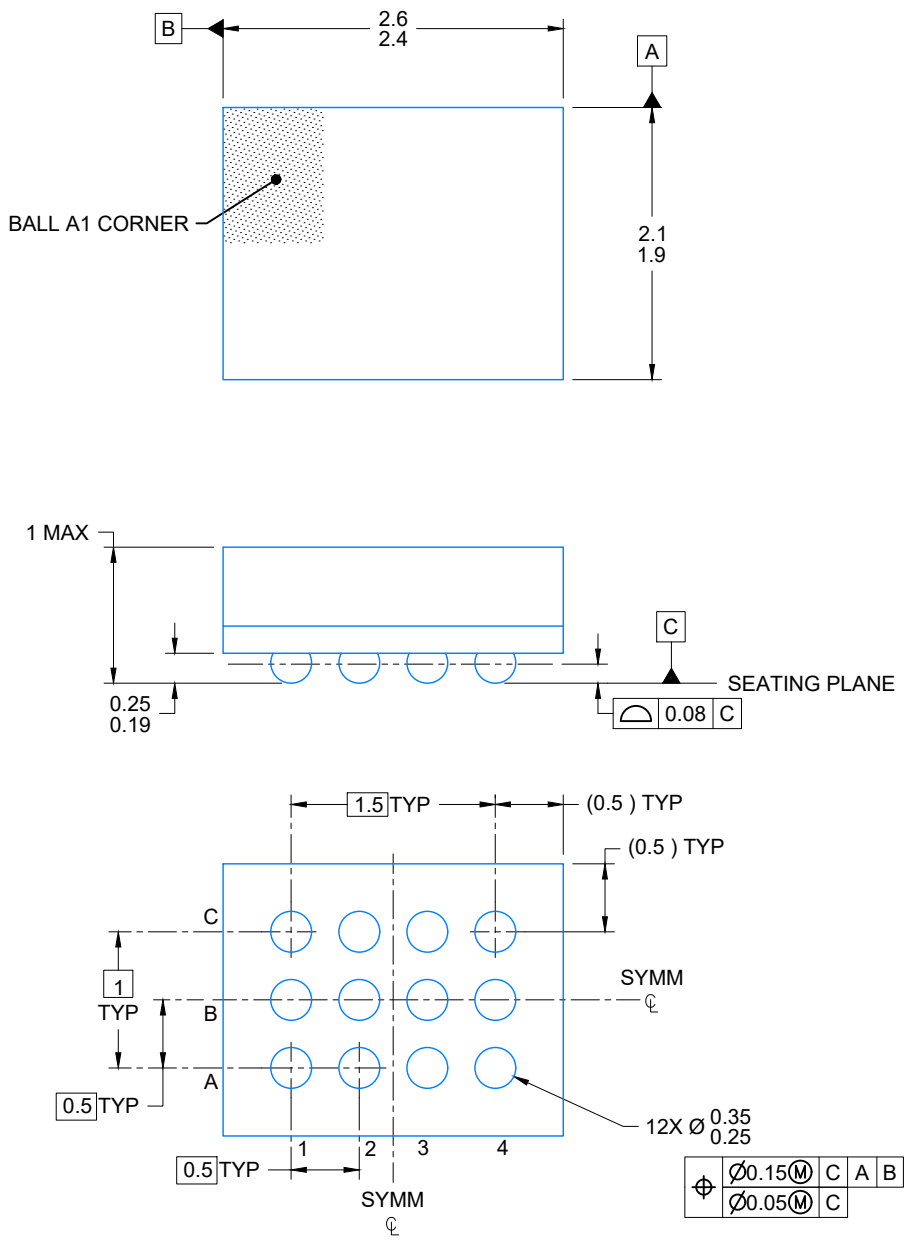


NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

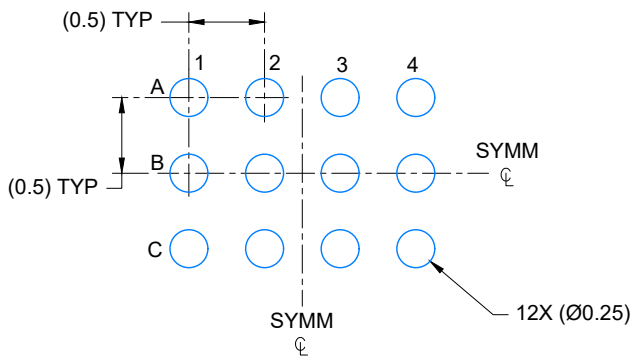


4225768/A 03/2020

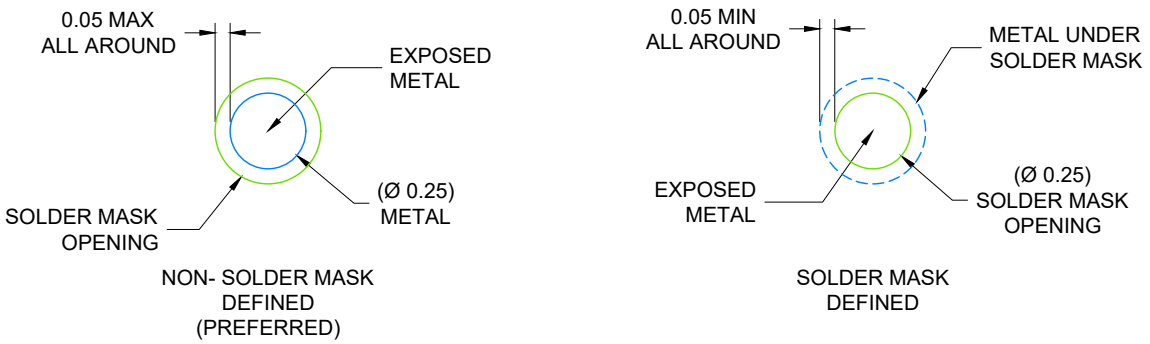
NOTES:

NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 20X

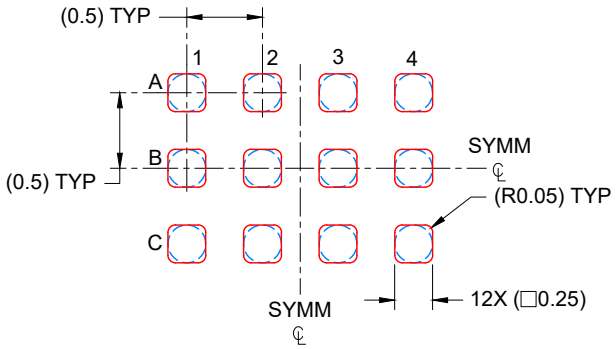


SOLDER MASK DETAILS
NOT TO SCALE

4225768/A 03/2020

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.100 mm THICK STENCIL
SCALE: 20X

4225768/A 03/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023，德州仪器 (TI) 公司